

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-272198

(43)Date of publication of application : 03.12.1991

(51)Int.Cl.

H05K 3/46

H05K 1/16

(21)Application number : 02-072749

(71)Applicant : TDK CORP

(22)Date of filing : 22.03.1990

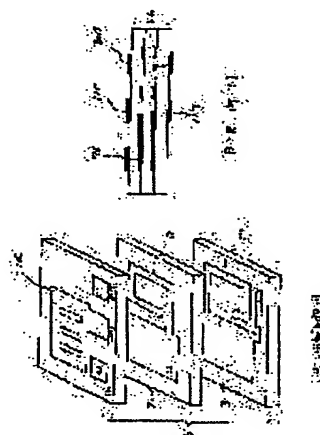
(72)Inventor : HAYASHI KATSUHIKO

(54) HIGH FREQUENCY CIRCUIT WITH LC BUILT IN MULTILAYER CIRCUIT SUBSTRATE

(57)Abstract:

PURPOSE: To enable a high frequency circuit to be lessened in unnecessary stray capacity and to make a multilayer circuit substrate high in mounting density by a method wherein a solid electrode of conductor provided with a cutout is made to serve as a shield electrode for a capacitor when a high frequency circuit provided with a coil and a capacitor is built in a multilayer circuit substrate.

CONSTITUTION: A ceramic multilayer circuit substrate 6 of three-layered structure is used, electrode patterns 2 and 3 constituting a capacitor are provided inside the substrate 6 confronting each other, and coil pattern 10 formed on a helical coil are formed in one piece with the patterns 2 and 3 respectively. A deformed comb-like electrode pattern 11c is formed on both the surfaces of the laminated circuit substrate 6, and furthermore an input element pattern IN and an output element pattern OUT are provided. By this setup, the electrode pattern 11C is made to serve as a shield electrode and connected to a GND. At this point, the pattern 11C is made to serve as a solid electrode which is partially cut out to lessen not only a useless stray capacity induced between the shield electrode and a capacitor electrode but also an external interference.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-272198

⑬ Int. Cl.⁵

H 05 K 3/46
1/16
3/46

識別記号

庁内整理番号

Q 6921-4E
A 8727-4E
C 6921-4E

⑭ 公開 平成3年(1991)12月3日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 多層回路基板内蔵のLCを含む高周波回路

⑯ 特 願 平2-72749

⑰ 出 願 平2(1990)3月22日

⑱ 発 明 者 林 克 彦 東京都中央区日本橋1丁目13番1号 ティーディーケー株式会社内

⑲ 出 願 人 ティーディーケー株式会社 東京都中央区日本橋1丁目13番1号

⑳ 代 理 人 弁理士 今村 辰夫 外1名

明 細 書

1. 発明の名称

多層回路基板内蔵のLCを含む高周波回路

2. 特許請求の範囲

コイルLとコンデンサCとを含む高周波回路を、
厚膜パターンにより形成して多層回路基板に内蔵し、

かつ、上記高周波回路の内、少なくともコンデンサCに対するシールド電極を設けた多層回路基板内蔵のLCを含む高周波回路において、

上記シールド電極として、ベタ電極の一部に導体の欠落部を有する電極パターンを用いたことを特徴とする多層回路基板内蔵のLCを含む高周波回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多層回路基板内蔵のLCを含む高周

波回路に関し、更に詳しくいえば、セラミック多層回路基板等の多層回路基板に内蔵した、コイルLとコンデンサCを含む高周波回路、例えば各種の高周波フィルタ等に用いられ、特に、シールド構造を改善し、高密度実装を可能とした多層回路基板内蔵のLCを含む高周波回路に関する。

(従来の技術)

第5図乃至第9図は、従来例を示した図であり、第5図は、LCを含む高周波回路例、第6図は、厚膜コンデンサの説明図、第7図は、厚膜コンデンサのシールド例、第8図は、帯域阻止フィルタの回路例、第9図は、多層回路基板内蔵の帯域阻止フィルタを示した図である。

図中、Dxはディプレクサ(共用器)、Rxは受信部、Txは送信部、ANTはアンテナ、L1～L5はコイル、C1～C5はコンデンサ、1はプリント回路基板、2、3は電極パターン、4は回路素子、5は金属構造物、C6は誘導容量、6は多層回路基板、7、8はシールド電極パターン、9

特開平 3-272198(2)

は接地線（グランド線）、10はコイルパターン、INは入力、OUTは出力を示す。

従来、LC回路を含む高周波回路としては、第5図のような回路が知られていた。A図に示した回路例(1)は、1つのアンテナANTを送信部Txと受信部Rxとで共用する回路に使用するディプレクサDxであり、B図に示した回路例(2)は、1つのアンテナANTからの入力を、周波数別に（VHFとUHF）分波する回路に使用するディプレクサDxである。

例えば、上記A図の具体的な回路はC図のようになっており、コイルL₁～L₄とコンデンサC₁、C₂で構成されている。

ところで、上記のようなLCを含む高周波回路の内、コンデンサを厚膜で形成すると、第6図のようになる。すなわち、第6図Aのように、プリント回路基板1の両面に電極パターン2、3を対向させて印刷し、厚膜コンデンサを形成する。この場合、対向電極である電極パターン2、3は、その面積を変化させて、適切な容量のコンデンサ

にすることがよく行われている。しかし、第6図Bに示したように、上記のようなコンデンサを持つモジュールは、その周辺に他の回路素子4や、金属構造物5などが近づくと、静電的に結合を起し、寄生容量C_sを発生させる。

したがって、モジュール本来の機能を発揮することができなくなる。実際の回路では、このようなモジュールの周辺には、金属構造物5や、結合を起しやすい回路素子を配置しないように構成している。そのため、高密度実装はできない。

また、上記のようなコンデンサを多層回路基板に内蔵させた例として、第7図のようなものがある。この例では、多層回路基板6を3層構造とし、その内部に電極パターン2、3を印刷してコンデンサを形成する。そして、上記多層回路基板6の両表面にシールド電極パターン7、8を印刷により形成し、両シールド電極パターン7、8を接地する。

このように、基板を多層構造にし、コンデンサをシールドするようにコンデンサの電極パターン2、

3の外側にシールド電極パターン（アース電極）を設けることにより、外部への干渉を防止できる。しかし、この場合にも、コンデンサの電極パターン2、3とシールド電極パターン7、8間に不要な容量を持つために、モジュールは設計通りに動作することが困難になる。

次にLCを含む高周波回路の1例として、第8図に示した帯域阻止フィルタ（バンドリジクションフィルタ）について説明する。

この回路は、特定周波数 f_0 （ $f_0 = \frac{1}{2\pi\sqrt{L_s C_s}}$ ）に対して帯域阻止となるフィルタであり、コンデンサC_sとコイルL_sとの並列回路と接地線9で構成される。この帯域阻止フィルタを多層回路基板に実装すると第9図Aのようになる。

多層回路基板6を3層構造とし、その内部にコイルパターン（ヘリカル型コイルのパターン）10と接続したコンデンサの電極パターン2、3を形成し、ブラインドスルーホール（内部が導体で充填したスルーホール）を介してパターン間の接続をする。

また、多層回路基板6の一方の表面には電極パターン7と、入力IN及び出力OUTの端子パターンを形成すると共に、他方の面にも電極パターン（図示省略）を形成し、これら両電極パターンを接地する。更に、上記入力IN及び出力OUTの端子パターンと、コイルパターン10、コンデンサの電極パターン2、3の所定部分をブラインドスルーホール等で接続する。

上記のようにして多層回路基板6に実装した帯域阻止フィルタの等価回路は第9図Bのようになる。この場合にも図示のように、接地線9との間に不要な寄生容量C_sが存在し、別の回路構成となってしまう。したがって、帯域阻止フィルタとしての本来の機能を発揮することができない。

（発明が解決しようとする課題）

上記のような従来のものにおいては次のような欠点があった。

(1) コンデンサの電極を厚膜パターンで形成した場合、周辺に他の回路素子や金属構造物があると、

特開平 3-272198(3)

不要な誘導容量が誘起され、回路本来の機能を発揮できない。

(2) コンデンサの外側にシールド電極パターンを形成した場合にも、不要な誘導容量が誘起され、回路本来の機能を発揮できない。

(3) 上記の理由により、LCを含む高周波回路の高密度実装は困難である。

本発明は、このような従来の欠点を解消し、LCを含む高周波回路を多層回路基板に内蔵させた際に誘起される不要な誘導容量の影響を軽減し、高密度実装ができるようにすることを目的とする。

〔課題を解決するための手段〕

本発明は、上記の目的を達成するため、コイルLとコンデンサCとを含む高周波回路を、厚膜パターンにより形成して多層回路基板に内蔵し、かつ上記高周波回路の内、少なくともコンデンサCに対するシールド電極を設けた多層回路基板内蔵のLCを含む高周波回路において、

上記シールド電極として、ベタ電極(電極部分

の全面に導体パターンを印刷した電極パターン)の一部に導体の欠落部を有する電極パターンを用いたものである。

〔作用〕

本発明は上記のように構成したので、次のような作用がある。

シールド電極をベタ電極の一部に導体の欠落部を有する電極パターンとしたので、この電極パターンによりインダクタンス成分ができる。また、上記の電極パターンとコンデンサの電極パターンとの間には、誘導容量が存在する。この誘導容量を上記のインダクタンス成分でキャンセルするように、上記電極パターン形状を調整すれば、全体として、誘導容量を低減できる。従って、本来の回路としての機能を低下させることなく高周波回路を動作させることができ、小型化も達成できる。

〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

第1図は、本発明の第1実施例の構成図、第2図は、シールド電極の変形例、第3図は、実施例を示した図である。

図中、第7図～第9図と同符号は同一のものを示し、11はクシ型電極パターン、L1はインダクタンス、12はクシ歯の先端部、13は切欠部、14は穴を示す。

この実施例は、例えば第8図に示した帯域阻止フィルタを、セラミック多層回路基板、あるいは他の多層回路基板に内蔵させ、かつ多層回路基板の両表面にシールド電極パターンを印刷して形成したもの(例えば、第7図、第9図参照)であり、その際シールド電極パターンの構造を第1図Aのようにしたものである。

すなわち、第7図、あるいは第9図に示したシールド電極パターン7、8の代りに、第1図Aに示したような、クシ型電極パターン11を用いたも

のである。そしてクシ型電極パターン11のクシ歯の各先端部を接地する。

このようなクシ型電極パターン11をシールド電極として用いると、その等価回路(コンデンサの電極パターン2とクシ型電極パターン11間の等価回路)はB図のようになる。

コンデンサの電極パターン2と、クシ型電極パターン11の間には、誘導容量C_sがあり、更に、クシ型電極パターン11自身が持つインダクタンスL_i成分があるため、等価回路は誘導容量C_sとインダクタンスL_iとの複合回路となる。この等価回路において、インダクタンスL_i成分や誘導容量C_sは、クシ型電極パターン11の形状と面積を変えればその値が変化するものであるから、この調整により、B図に示した等価回路がある特定の周波数(例えばf₀)に対して、所定のインピーダンス値となるように設定することが可能となる。

この場合、多層回路基板に内蔵した高周波回路は、第8図に示したような帯域阻止フィルタであ

特開平 3-272198(4)

り、このようなフィルタは、特定周波数 f_0 だけを対象としている。

そこで、上記フィルタの対象としている特定の周波数 f_0 に対して、等価回路の誘導容量 C_s とインダクタンス L_i が打ち消し合うように調整する。このようにすれば、コンデンサの電極パターン2がクシ型電極パターン(シールド電極)11に対して持つ不要な誘導容量 C を低減することができる。

したがって、クシ型電極パターン11によるシールド効果により、外部への干渉を低減し、しかもモジュール機能を低下させることなく動作をさせることが可能となる。

上記のクシ型電極パターンは、第1図Aに示した形状に限らず、例えば第2図に示したような形状に変形した電極パターンとしてもよい。

例えば第2図Aは、変形例(1)であり、ベタ電極(電極部分の全面に導体パターンを印刷した電極パターン)に2箇所の切欠部(導体の欠落部)13を設けて3個のクシ歯を有するクシ型電極パ

11

る。

第2図Fは、変形例(6)を示した図であり、この例は、導体パターンをメッシュ状に形成し(ベタ電極に導体の欠落部を多数形成してメッシュ状にする)、メッシュ型の電極パターンとしたものである。

第2図Gは、変形例(7)として変形クシ型電極パターン11Gを示した図であり、ベタ電極パターンに3箇所の切欠部13と、2箇所の穴14を設けたものである。

第2図Hは変形例(8)として、変形クシ型電極パターン11Hを示した図であり、ベタ電極パターンに2箇所の切欠部13と、1箇所の穴14を設けたものである。

上記の例は、いずれも、ベタ電極に導体の欠落部を設けたものであり、上記欠落部(穴や切欠部等)の形状や配置を変えれば上記以外にも各種の変形が可能である。

上記のようなベタ電極の一部に欠落部を有する電極パターンの中、第2図Cに示したシールド電

13

パターン11Aとしたものである。

この場合、接地箇所は、クシ歯の先端部12(3箇所)、あるいはその反対側の共通部分(1箇所か複数箇所)の任意の部分でよい。

第2図Bは、変形例(2)として変形クシ型電極パターン11Bを示した図である。この電極パターンは、ベタ電極に2箇所の穴(導体の欠落部)14を設けて電極パターンとしたものである。

第2図Cは、変形例(3)として変形クシ型電極パターン11Cを示した図であり、ベタ電極パターンに穴(導体の欠落部)14を3箇所設けたものである。

第2図Dは、変形例(4)として、変形クシ型電極パターン11Dを示した図であり、ベタ電極パターンに、2個の穴14と、1個の切欠部13を設けたものである。

第2図Eは、変形例(5)として、変形クシ型電極パターン11Eを示した図であり、ベタ電極パターンに、交互に逆方向から切欠部13を形成し、全体として蛇行線型の電極パターンとしたものであ

12

概を用い、第8図に示した帯域阻止フィルタをセラミック多層回路基板上に実装した場合、第3図のようになる。

第3図Aは分解斜視図、第3図Bは断面図である。この例では、3層のセラミック多層回路基板6を用い、その内部に、コンデンサを形成する電極パターン2、3を対向させて設けると共に、この電極パターン2、3と一体にヘリカルコイルのコイルパターン10を形成する。

また、積層した基板の両表面には、変形クシ型電極パターン11Cを形成し、更に入力IN、及び出力OUTの端子パターンを設ける。そして上記の変形クシ型電極パターン11Cは、シールド電極として使用するため、接地(GND)する。

この場合、接地は1箇所で行う例であるが、接地端子(GND端子)が複数設けられる場合には、複数箇所で接地する。

第4図は、第2実施例を示した図であり、A図は高周波多段フィルタの例、B図は実施例である。例えば高周波多段フィルタは、A図のようにイン

14

特開平 3-272198(5)

ピーダンス $Z_1, Z_2, Z_3, Z_4, Z_5, \dots$ が多数接続されている。このような高周波多段フィルタは、抵抗、コンデンサ、及びコイルにより構成されており、これを基板に実装するには、通常の場合、信号ラインに対して、それぞれのインピーダンス素子を横方向に並べている。

しかしこのような実装方法では、小型化が困難なため、多層回路基板に内蔵することが考えられている。その際、単に多層回路基板に内蔵すると上記従来例で説明したような問題が発生する。

そこで、本発明の第2実施例では、B図に示したようにして実装を行う。すなわち、多段のフィルタを構成する場合に、素子(L, C, R)を印刷により形成し、各段をできるだけまとまった層内にパターンニングする。例えばB図では、第1の層(1層)15内に1つのまとまった回路を形成し(印刷で形成)、第2の層(2層)16内に別のまとまった回路を形成すると共に、第1の層15と第2の層16との間にシールド電極として上記クシ型電極パターン11(変形クシ型電極パター

15

ンでもよい)を形成してシールドする。

このように、各回路段毎に別々の層にパターンニングし、その間にクシ型あるいは変形クシ型の電極パターンを形成してシールドを行い、各層をスタックし、更に多層回路基板6の両表面にクシ型電極パターン11(変形クシ型電極パターンでもよい)を、シールド電極として形成し接地する。

上記のようにすれば、各回路段毎に互いに結合を低下させて悪影響を少なくできるから、高密度実装が可能となる。また、これを回路モジュールの一部として使用すれば、モジュール全体が小型化できる。

以上実施例について説明したが、本発明は次のようにしても実施可能である。

(1) 略クシ型の電極パターンとしては、第1図及び第2図に示した例に限らず、任意に変形して使用してもよい。

いずれの形状でも、インダクタンス成分が必要な値だけ得られればよい。

(2) シールド電極は、コンデンサに対するシー

16

〔発明の効果〕

以上説明したように、本発明によれば次のような効果がある。

(1) シールド電極とコンデンサの電極パターンとの間に存在する不要な容量成分を低減でき、良好なシールド効果が得られる。

(2) モジュールの外部干渉を低減でき、高密度実装が可能となる。

(3) 高周波フィルタ、アンプ、発振器など、特定周波数において機能する回路のモジュールに適用した場合、特に外部への干渉を減らして良好なシールド効果が得られる。

(4) モジュールの本来の機能を低下させることなく動作させることができる。

4. 図面の簡単な説明

第1図は、本発明に係る第1実施例の構成図、

第2図は、シールド電極の変形例、

第3図は、第1実施例の実装例、

第4図は、第2実施例の説明図、

18

また、多段の高周波フィルタへも適用可能である。

(4) 回路部品は、全て厚膜パターンで形成し、多層回路基板に内蔵してもよいが、一部の部品をディストリット部品としてもよい。この場合、少なくともコンデンサは厚膜パターンで形成する。

(5) 略クシ型の電極パターンは、多層回路基板の両表面に形成してシールド電極とした例について説明したが、このような例に限らず、全ての略クシ型の電極パターンを、多層回路基板の内部に設けてシールド電極としてもよい。

(6) 上記のシールド電極とは別に、フェライトを基板材料に用い、電極シールドをすることも可能である。

17

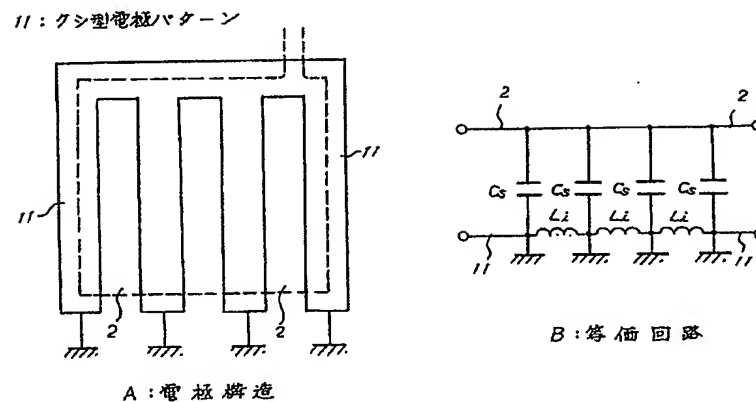
特開平 3-272198(6)

第 5 図は、LC を含む高周波回路例、
 第 6 図は、従来の厚膜コンデンサの説明図、
 第 7 図は、従来の厚膜コンデンサのシールド例、
 第 8 図は、帯域阻止フィルタの回路例、
 第 9 図は、従来の多層回路基板内蔵の帯域阻止
 フィルタである。

11 … グリ型電極パターン、
 12 … グリ歯の先端部、
 13 … 切欠部、
 14 … 穴、
 Cs … 容量容量、
 Li … インダクタンス。

特許出願人 ティーディーケイ株式会社
 代理人 弁理士 今村 辰 夫 (外 1 名)

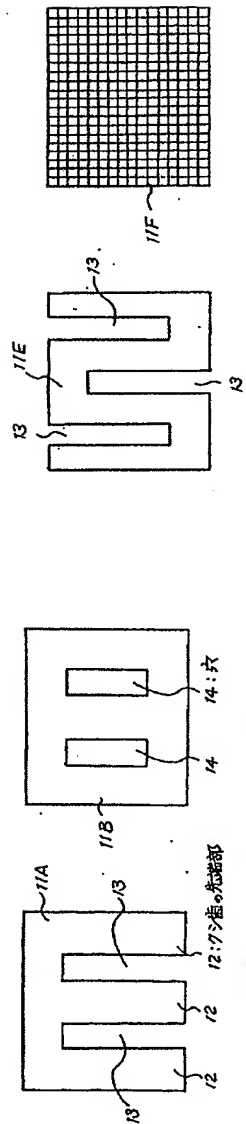
19



第 1 実施例の構成図

第 1 図

特開平 3-272198(7)

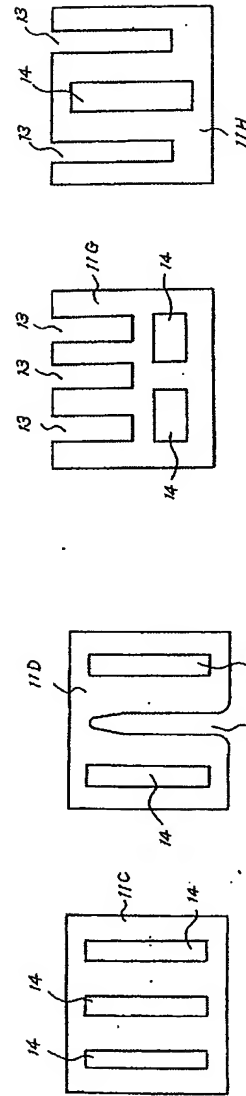


A: 変形例 (1)

B: 変形例 (2)

E: 変形例 (5)

F: 変形例 (6)



C: 変形例 (3)

D: 変形例 (4)

G: 変形例 (7)

H: 変形例 (8)

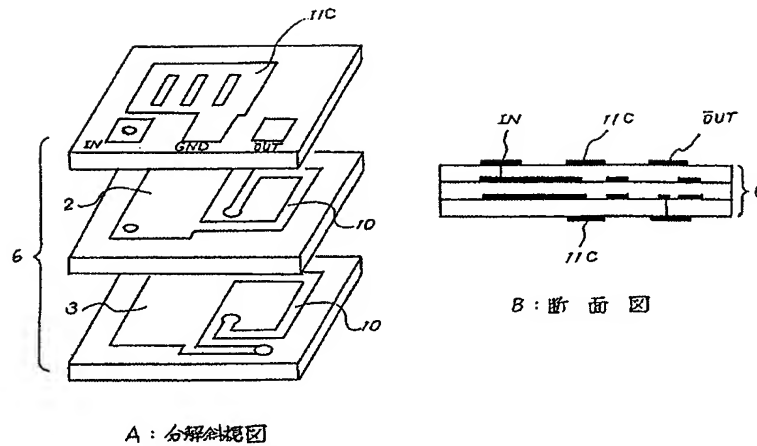
シールド電極の変形例

第2図 (その1)

シールド電極の変形例

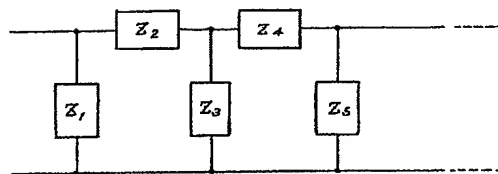
第2図 (その2)

特開平 3-272198(8)

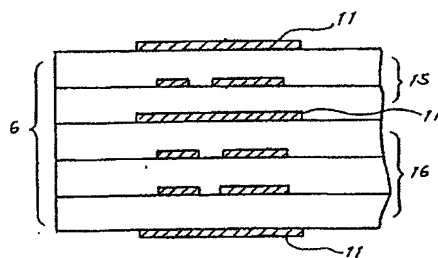


第1実施例の装置例

第3図



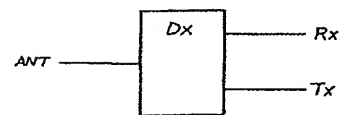
A: 高周波帯域フィルタの例



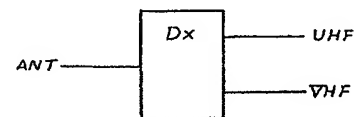
B: 実装例

第2実施例の説明図

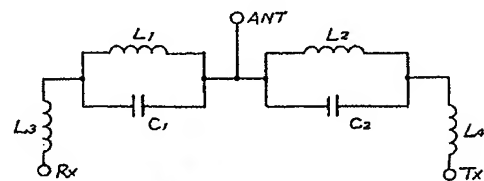
第4図



A: 回路例 (1)



B: 回路例 (2)

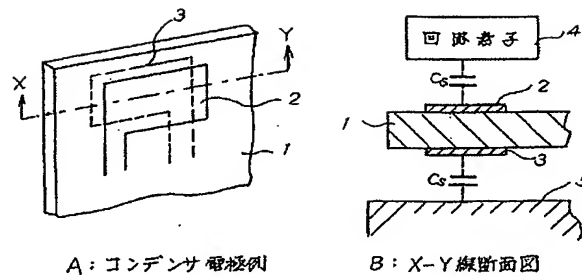


C: A図の具体回路

LCを含む高周波回路例

第5図

特開平 3-272198(9)

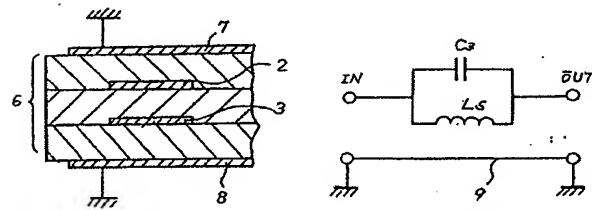


A: コンデンサ電極例

B: X-Y線断面図

厚膜コンデンサの説明図

第 6 図

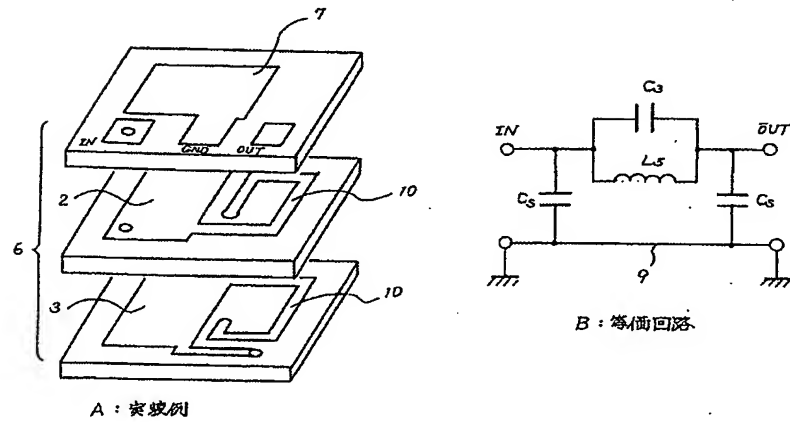


厚膜コンデンサのシールド例

第 7 図

帯域阻止フィルタの回路例

第 8 図



A: 実装例

B: 等価回路

多層回路基板内蔵の帯域阻止フィルタ

第 9 図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-305303

(43)Date of publication of application : 02.11.2000

(51)Int.Cl.

G03G 5/16

G03G 15/05

G03G 15/08

(21)Application number : 11-109177

(71)Applicant : DAINIPPON INK & CHEM INC

(22)Date of filing : 16.04.1999

(72)Inventor : MARUYAMA KAZUNORI

KAWAMURA JOJI

AIZAWA MASAO

(54) IMAGE FORMING METHOD USING FERROELECTRIC**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide an image forming method in which electrification, image exposure and development can be carried out in a light room, an image can be formed as a color image, a high mechanical strength is ensured, a surface scuffing due to toner development is suppressed, any toner developing system may be adopted and printing on many sheets is suitably carried out.

SOLUTION: In the first process, a ferroelectric element with a ferroelectric layer containing an inorganic oxide ferroelectric formed on an electrically conductive substrate by the vapor phase conveyance and blowing of inorganic oxide ferroelectric fine particles on the substrate is prepared and the electric dipoles of the ferroelectric in the ferroelectric layer are aligned in one direction. In the second process, the electric dipoles of a part corresponding to an image area or a non-image area are inverted. In the third process, the ferroelectric layer are uniformly heated to the Curie point or below and cooled to form an electrostatic latent image. In the fourth process, the electrostatic latent image is developed with a toner. The volume average particle diameter of the ferroelectric fine particles is preferably in the range of 0.05-1.0 μm .